

SON-2334

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Patent Application of)
Toshihiko ORII) ATTN: APPLICATION BRANCH
Serial No.: (Not yet assigned))
Filed: March 8, 2002)
For: DATA SLICE CIRCUIT)

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

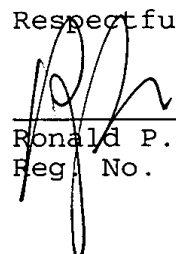
The benefit of the filing date of the following prior applications filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Application 2001-069215, filed March 12, 2001.

In support of this claim, filed herewith are certified copies of said original foreign applications.

Respectfully submitted,

Dated: March 8, 2002



Ronald P. Kananen
Reg. No. 24,104

RADER, FISHMAN & GRAUER P.L.L.C.
1233 20TH Street, N.W., Suite 501
Washington, DC 20036
Telephone: (202) 955-3750
Facsimile: (202) 955-3751
Customer No.: 23353



502P0262 US00

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Mac979 U.S. PTO
10/092450
03/08/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月12日

出 願 番 号

Application Number:

特願2001-069215

出 願 人

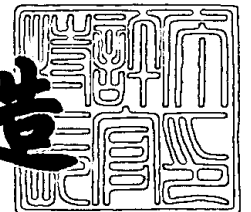
Applicant(s):

ソニー株式会社

2001年12月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3111967

【書類名】 特許願

【整理番号】 0000840002

【提出日】 平成13年 3月12日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/08
H04N 7/08

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・
エルエスアイ・デザイン株式会社内

【氏名】 折井 俊彦

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データスライス回路

【特許請求の範囲】

【請求項 1】 映像信号に重畳された所定の規格に応じた規定信号に付加されているデータをスライスレベルに基づいて分離するデータスライス回路であって、

映像信号から複合同期信号を分離する複合同期分離回路と、

上記複合同期分離回路から所望の規定信号が重畳されているラインを検出し、検出したラインの期間のみライン検出パルスを出力するライン検出回路と、

上記ライン検出回路のライン検出パルスを受けて、検出したラインに重畳される規定信号を平均化する期間にパルスを出力し、重畳される規定信号の規格によりパルスを発生させる期間を変化させるウィンドウパルス発生回路と、

上記ウィンドウパルス発生回路が出力したパルスの期間のみ、上記規定信号の平均電圧をサンプリングし、ホールドして、データスライス基準電圧を検出するデータスライス基準電圧検出回路と、

上記データスライス基準電圧検出回路の出力電圧に直流電圧を加算して上記スライスレベルを発生、およびその加算する直流電圧値を上記ライン検出回路が検出したラインに応じて変化させるデータスライスレベル発生回路と

を有するデータスライス回路。

【請求項 2】 上記規定信号は映像信号の垂直ブランキング期間に重畳され

上記ウィンドウパルス発生回路は、上記規定信号が C R I 信号を含む場合には、当該 C R I 信号の期間にアクティブとなるパルスを生成し、C R I 信号を含まずリファレンス信号のみ含む場合には、複合同期信号の立上がり直後のバックボートの期間にアクティブとなるパルスを生成する

請求項 1 記載のデータスライス回路。

【請求項 3】 上記データスライス基準電圧検出回路は、上記規定信号が C R I 信号を含む場合には、C R I 信号の平均電圧値を出力し、C R I 信号を含まずリファレンス信号のみ含む場合には、ペDESTAL レベルの電圧値を出力する

請求項2記載のデータスライス回路。

【請求項4】 上記データスライスレベル発生回路には、ペDESTALレベルより低い第1の直流電圧とペDESTALレベルより高い第2の直流電圧が供給され、上記規定信号がCRI信号を含む場合には、上記データスライス基準電圧検出回路の出力電圧をそのままのレベルでデータスライスレベルとして発生し、CRI信号を含まずリファレンス信号のみ含む場合には、上記第2の直流電圧と第1の直流電圧の差分に応じた電圧を加算したレベルでデータスライスレベルとして発生する

請求項2記載のデータスライス回路。

【請求項5】 上記データスライスレベル発生回路には、ペDESTALレベルより低い第1の直流電圧とペDESTALレベルより高い第2の直流電圧が供給され、上記規定信号がCRI信号を含む場合には、上記データスライス基準電圧検出回路の出力電圧をそのままのレベルでデータスライスレベルとして発生し、CRI信号を含まずリファレンス信号のみ含む場合には、上記第2の直流電圧と第1の直流電圧の差分に応じた電圧を加算したレベルでデータスライスレベルとして発生する

請求項3記載のデータスライス回路。

【請求項6】 映像信号に重畳された所定の規格に応じた規定信号に付加されているデータをスライスレベルに基づいて分離するデータスライス回路であって、

映像信号をシンクチップクランプするシンクチップクランプ回路と、

映像信号から複合同期信号を分離する複合同期分離回路と、

上記複合同期分離回路から所望の規定信号が重畳されているラインを検出し、検出したラインの期間のみライン検出パルスを出力するライン検出回路と、

上記ライン検出回路のライン検出パルスを受けて、検出したラインに重畳される規定信号を平均化する期間にパルスを出力し、重畳される規定信号の規格によりパルスを発生させる期間を変化させるウィンドウパルス発生回路と、

上記ウィンドウパルス発生回路が出力したパルスの期間のみ、上記シンクチップクランプ回路でクランプされた上記規定信号の平均電圧をサンプリングし、ホ

ールドして、データスライス基準電圧を検出するデータスライス基準電圧検出回路と、

上記データスライス基準電圧検出回路の出力電圧に直流電圧を加算して上記スライスレベルを発生、およびその加算する直流電圧値を上記ライン検出回路が検出したラインに応じて変化させるデータスライスレベル発生回路と

を有するデータスライス回路。

【請求項 7】 上記規定信号は映像信号の垂直ブランキング期間に重畳され

上記ウィンドウパルス発生回路は、上記規定信号が C R I 信号を含む場合には、当該 C R I 信号の期間にアクティブとなるパルスを生成し、C R I 信号を含まずリファレンス信号のみ含む場合には、複合同期信号の立上がり直後のバックポーチの期間にアクティブとなるパルスを生成する

請求項 6 記載のデータスライス回路。

【請求項 8】 上記データスライス基準電圧検出回路は、上記規定信号が C R I 信号を含む場合には、C R I 信号の平均電圧値を出力し、C R I 信号を含まずリファレンス信号のみ含む場合には、ペDESTAL レベルの電圧値を出力する

請求項 7 記載のデータスライス回路。

【請求項 9】 上記データスライスレベル発生回路には、ペDESTAL レベルより低い第 1 の直流電圧とペDESTAL レベルより高い第 2 の直流電圧が供給され、上記規定信号が C R I 信号を含む場合には、上記データスライス基準電圧検出回路の出力電圧をそのままのレベルでデータスライスレベルとして発生し、C R I 信号を含まずリファレンス信号のみ含む場合には、上記第 2 の直流電圧と第 1 の直流電圧の差分に応じた電圧を加算したレベルでデータスライスレベルとして発生する

請求項 7 記載のデータスライス回路。

【請求項 1 0】 上記データスライスレベル発生回路には、ペDESTAL レベルより低い第 1 の直流電圧とペDESTAL レベルより高い第 2 の直流電圧が供給され、上記規定信号が C R I 信号を含む場合には、上記データスライス基準電圧検出回路の出力電圧をそのままのレベルでデータスライスレベルとして発生し、C

R I 信号を含まずリファレンス信号のみ含む場合には、上記第 2 の直流電圧と第 1 の直流電圧の差分に応じた電圧を加算したレベルでデータスライスレベルとして発生する

請求項 8 記載のデータスライス回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、ビデオ信号処理回路に係り、特に、入力ビデオ信号に重畳された各種データを分離するデータスライス回路に関するものである。

【 0 0 0 2 】

【従来の技術】

データスライス回路は、テレビジョン (TV) やデジタルTV等の映像信号の垂直ブランキング期間 (以下、VBIと呼ぶ) に重畳された規定信号 (以下、VBI信号と呼ぶ)、たとえばクローズドキャプション (EIA-608)、ID-1 (EIAJ-GPR1204)、欧州テレテキスト (Teletext) /VPS などのVBI信号に付加されている (載せられている) データを分離し、デジタル化して出力する。

【 0 0 0 3 】

そして、TVやデジタルTV等の映像信号の垂直ブランキング期間に重畳されるVBI信号は、大きく分けると、クローズドキャプションやテレテキスト (Teletext) のようにClock-Run-In (以下、CRIと呼ぶ) 信号を持つ (含む) ものと、ID-1のようにCRI信号は持たず (含まず) にリファレンス信号しか持たないものがある。

【 0 0 0 4 】

CRI信号を持つVBI信号のデータの分離を行う従来のデータスライス回路としては、たとえば特開平10-336809号公報に記載された回路が知られている。

また、リファレンス信号しか持たないVBI信号のデータの分離を行う従来のデータスライス回路としては、たとえば特開平6-253170号公報に記載さ

れた回路が知られている。

【0005】

図8は、特開平10-336809号公報に記載されているCRI信号を持つVBI信号のデータの分離を行う従来のデータスライス回路を示す回路図である。

【0006】

このデータスライス回路10は、図8に示すように、トップピーク検出器11、ボトムピーク検出器12、サンプル・ホールド回路13、複合同期信号分離回路14、CRIウィンドウ回路15、コンパレータ16、および抵抗素子R11、R12を有している。

【0007】

このデータスライス回路10においては、入力されたビデオ信号であるVBI信号のトップピークがトップピーク検出器11で検出され、ボトムピークがボトムピーク検出器12で検出される。

入力されたVBI信号のトップピークおよびボトムピークを検出したトップピーク検出回路11とボトムピーク検出回路12の出力が、抵抗素子R11、R12分割される。抵抗素子R11、R12は同じ抵抗値に設定されていることから、トップレベルとボトムレベルの中間電圧値がノードPからサンプル・ホールド回路13に供給される。

また、CRIウィンドウ回路14には、複合同期信号分離回路14で分離された複合同期信号CSSが供給される。CRIウィンドウ回路14では、複合同期信号CSSに基づいてサンプリングおよびホールドディング動作を制御するための制御信号S15が生成されて、サンプル・ホールド回路13に出力される。

サンプル・ホールド回路13においては、CRIウィンドウ回路14による制御信号S15に応じて、CRI信号期間にサンプルおよびホールドした電圧を基準電圧（スライスレベル）として、コンパレータ16に出力される。

そして、コンパレータ16において、入力されたVBI信号とスライスレベルとが比較されることによりデータの分離が行われる。

【0008】

図9は、特開平6-253170号公報に記載されている、リファレンス信号しか持たないVBI信号のデータの分離を行う従来のデータスライス回路を示す回路図である。

【0009】

このデータスライス回路20は、図9に示すように、同期信号クランプ回路21、基準電圧源22、バッファ23、24、サンプル・ホールド(S/H)回路25、オペアンプ26、コンパレータ27、28、クランプキャパシタC21、および抵抗素子R21～R24を有している。

【0010】

このデータスライス回路20においては、入力されたVBI信号は、クランプキャパシタC21を介して同期信号クランプ回路21に入力される。同期信号クランプ回路21では、VBI信号に含まれる同期信号が基準電圧源22によって供給されるクランプレベル V_c にクランプされ、クランプ後のVBI信号は、コンパレータ27および28にスライスされる信号として供給され、また、バッファ23を介してサンプル・ホールド回路25に供給される。

サンプル・ホールド回路25では、コンパレータ27、28におけるスライスレベルを演算するため、クランプ後のVBI信号をペデスタルレベルによってサンプルおよびホールドされて、ペデスタルレベル V_p が検出され、バッファ24を介してオペアンプ26に供給される。

また、検出されたペデスタルレベル V_p とクランプレベル V_c との電位差が抵抗素子R12、R22で分圧され、その分圧レベル V_{s1} がスライスレベルとしてコンパレータ27に供給される。これにより、コンパレータ27において、同期信号を分離する処理が行われる。

オペアンプ26では、非反転入力端子(+)に検出されたペデスタルレベル V_p が入力され、反転入力端子(-)にクランプレベル V_c が抵抗素子R13を介して供給される。そして、オペアンプ26から、ペデスタルレベル V_p 、クランプレベル V_c 、抵抗素子R12の抵抗値、および帰還抵抗素子R24の抵抗値に基づくスライスレベル V_{s2} がコンパレータ28のスライスレベルとして生成され、コンパレータ28に出力される。これにより、コンパレータ28において、

入力された VBI 信号の垂直ブランキング期間等に重畳されたデータをスライスする処理が行われる。

【0011】

【発明が解決しようとする課題】

上述したように、図 8 の回路においては、入力された VBI 信号のトップピークおよびボトムピークを検出するトップピーク検出回路 11 とボトムピーク検出回路 12 の出力を抵抗素子 R11, R12 で分割した中間電圧値を CRI ウィンドウ回路 15 の出力パルス（制御信号）を用いて、CRI 信号期間にサンプル・ホールド回路 13 によりサンプルおよびホールドした電圧を基準電圧（スライスレベル）として、コンパレータ 16 によりデータの分離を行う。

したがって、図 8 の回路は、CRI 信号を持つ VBI 信号からデータの分離を行うことには適しているが、リファレンス信号しか持たない VBI 信号に対しては、うまくスライスレベルを生成することができないか、またはうまくリファレンス信号をコンパレータ 16 により分離することができない。

【0012】

また、図 9 の回路においては、入力された VBI 信号のペDESTAL レベル V_p をサンプルホールド回路 25 で検出し、シンクチップレベル V_c とペDESTAL レベル V_p に基づいて相対的なスライスレベル V_{s1} , V_{s2} を設定し、このスライスレベル V_{s1} , V_{s2} を用いてコンパレータ 27, 28 で同期分離やデータスライスを行う。

したがって、図 9 の回路は、VBI 信号のデータ部分とは無関係にスライスレベルを生成するため、リファレンスしか持たない VBI 信号のデータの分離には適しているが、CRI 信号を持つ VBI 信号のデータの分離を行うには最適とは言えない。

【0013】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、規格の異なる VBI 信号等に対して最適なデータスライスレベルを生成でき、確実にデータの分離／デジタル化を行うことができるデータスライス回路を提供することにある。

【0014】

【課題を解決するための手段】

上記目的を達成するため、本発明は、映像信号に重畳された所定の規格に応じた規定信号に付加されているデータをスライスレベルに基づいて分離するデータスライス回路であって、映像信号から複合同期信号を分離する複合同期分離回路と、上記複合同期分離回路から所望の規定信号が重畳されているラインを検出し、検出したラインの期間のみライン検出パルスを出力するライン検出回路と、上記ライン検出回路のライン検出パルスを受けて、検出したラインに重畳される規定信号を平均化する期間にパルスを出力し、重畳される規定信号の規格によりパルスを発生させる期間を変化させるウィンドウパルス発生回路と、上記ウィンドウパルス発生回路が出力したパルスの期間のみ、上記規定信号の平均電圧をサンプリングし、ホールドして、データスライス基準電圧を検出するデータスライス基準電圧検出回路と、上記データスライス基準電圧検出回路の出力電圧に直流電圧を加算して上記スライスレベルを発生、およびその加算する直流電圧値を上記ライン検出回路が検出したラインに応じて変化させるデータスライスレベル発生回路とを有する。

【0015】

また、本発明は、映像信号に重畳された所定の規格に応じた規定信号に付加されているデータをスライスレベルに基づいて分離するデータスライス回路であって、映像信号をシンクチップクランプするシンクチップクランプ回路と、映像信号から複合同期信号を分離する複合同期分離回路と、上記複合同期分離回路から所望の規定信号が重畳されているラインを検出し、検出したラインの期間のみライン検出パルスを出力するライン検出回路と、上記ライン検出回路のライン検出パルスを受けて、検出したラインに重畳される規定信号を平均化する期間にパルスを出力し、重畳される規定信号の規格によりパルスを発生させる期間を変化させるウィンドウパルス発生回路と、上記ウィンドウパルス発生回路が出力したパルスの期間のみ、上記シンクチップクランプ回路でクランプされた上記規定信号の平均電圧をサンプリングし、ホールドして、データスライス基準電圧を検出するデータスライス基準電圧検出回路と、上記データスライス基準電圧検出回路の

出力電圧に直流電圧を加算して上記スライスレベルを発生、およびその加算する直流電圧値を上記ライン検出回路が検出したラインに応じて変化させるデータスライスレベル発生回路とを有する。

【0016】

本発明では、上記規定信号は映像信号の垂直ブランキング期間に重畳され、上記ウィンドウパルス発生回路は、上記規定信号がCRI信号を含む場合には、当該CRI信号の期間にアクティブとなるパルスを生成し、CRI信号を含まずリファレンス信号のみ含む場合には、複合同期信号の立上がり直後のバックポーチの期間にアクティブとなるパルスを生成する。

【0017】

また、本発明では、上記データスライス基準電圧検出回路は、上記規定信号がCRI信号を含む場合には、CRI信号の平均電圧値を出力し、CRI信号を含まずリファレンス信号のみ含む場合には、ペDESTALレベルの電圧値を出力する。

【0018】

また、本発明では、上記データスライスレベル発生回路には、ペDESTALレベルより低い第1の直流電圧とペDESTALレベルより高い第2の直流電圧が供給され、上記規定信号がCRI信号を含む場合には、上記データスライス基準電圧検出回路の出力電圧をそのままのレベルでデータスライスレベルとして発生し、CRI信号を含まずリファレンス信号のみ含む場合には、上記第2の直流電圧と第1の直流電圧の差分に応じた電圧を加算したレベルでデータスライスレベルとして発生する。

【0019】

本発明によれば、たとえばデータスライスレベル発生回路には、ペDESTALレベルより低い第1の直流電圧Vref0とペDESTALレベルより高い第2の直流(DC)電圧Vref1が供給される。

そして、規定信号がたとえばCRI信号を持つ場合、シンクチップクランプ回路において、入力された規定信号に対してシンクチップクランプ処理が施され、たとえば複合同期分離回路、およびデータスライス基準電圧検出回路に出力され

る。

複合同期分離回路では、複合同期信号が分離され、ライン検出回路に出力される。

ライン検出回路では、複合同期分離回路の出力同期信号に基づいて、所望の C R I 信号を持つ規定信号が重畳されているラインであると検出（あるいは認識）されると、検出したラインの期間のみ、ライン検出パルスが生成されてウィンドウパルス発生回路に出力される。

【 0 0 2 0 】

ウィンドウパルス発生回路では、ライン検出回路から出力されるライン検出パルスに応じて、ラインに重畳される規定信号を平均化する期間を変化させたウィンドウパルスが生成されて、データスライス基準電圧検出回路に出力される。

データスライス基準電圧検出回路では、ウィンドウパルス発生回路から出力されるウィンドウパルスがアクティブの期間のみ、シンクチップクランプ回路でクランプされた規定信号の平均電圧がサンプル、ホールドされ、データスライス基準電圧としてデータスライスレベル発生回路に出力される。

データスライスレベル発生回路においては、供給される第 1 の D C 電圧 V_{ref0} および第 2 の D C 電圧 V_{ref1} を受けて、データスライス基準電圧検出回路から出力されるデータスライス基準電圧にライン検出回路から出力されるライン検出パルスに応じて変化させた D C 電圧が加算され、データスライスレベルとして出力される。

このとき、データスライスレベル発生回路では、ライン検出パルスがアクティブの期間に、出力電圧には D C 電圧「 $(V_{ref0} - V_{ref0}) = 0 \text{ V}$ 」が加算されたことになる。すなわち、データスライスレベル発生回路では、データスライス基準電圧検出回路の出力電圧をそのままのレベルでデータスライスレベルとして出力される。

そして、データスライスレベル発生回路の出力電圧と入力された規定信号とが比較され、これにより、規定信号からデータが分離し、デジタル化したデータが得られる。

【 0 0 2 1 】

また、規定信号がC R I 信号を持たず、リファレンス信号のみを持つ場合、ライン検出回路では、複合同期分離回路の出力同期信号に基づいて、所望のリファレンス信号を持つ規定信号が重畳されているラインが検出（あるいは認識）されると、検出したラインの期間のみ、ライン検出パルスが生成されてウィンドウパルス発生回路に出力される。

ウィンドウパルス発生回路では、ライン検出回路から出力されるライン検出パルスに応じて、ラインに重畳される規定信号を平均化する期間を変化させたウィンドウパルスが生成されて、データスライス基準電圧検出回路に出力される。

データスライス基準電圧検出回路では、ウィンドウパルス発生回路から出力されるウィンドウパルスがアクティブの期間のみ、シンクチップクランプ回路でクランプされた規定信号の平均電圧がサンプル、ホールドされ、データスライス基準電圧としてデータスライスレベル発生回路に出力される。

データスライス基準電圧検出回路では、サンプリングする規定信号がリファレンス信号しか持たない場合は、ペDESTALレベルの電圧値がデータスライス基準電圧として出力される。

データスライスレベル発生回路においては、供給される第1のDC電圧Vref0および第2のDC電圧Vref1を受けて、データスライス基準電圧検出回路から出力されるデータスライス基準電圧にライン検出回路から出力されるライン検出パルスに応じて変化させたDC電圧が加算され、データスライスレベルとして出力される。

このとき、データスライスレベル発生回路では、ライン検出パルスがアクティブの期間に、出力電圧にはDC電圧「 $(V_{ref1} - V_{ref0})$ 」が加算されたことになる。すなわち、データスライスレベル発生回路では、第2のDC電圧と第1のDC電圧の差分に応じた電圧を加算したレベルでデータスライスレベルとして出力される。

そして、データスライスレベル発生回路の出力電圧と入力された規定信号とが比較され、これにより、規定信号からデータが分離し、デジタル化したデータが得られる。

【0022】

このように、データのスライスを行いたい規定信号の規格に応じて、信号の平均電圧値をサンプリングする期間を可変にし、サンプリングした平均電圧に加算するDC電圧値も可変にすることで、規格の異なるほとんどの規定信号に対して、最適な方法で、最適なデータスライスレベルを発生し、データの分離を行うことが可能となる。

【0023】

【発明の実施の形態】

図1は、本発明に係るデータスライス回路の一実施形態を示すブロック図である。

【0024】

本データスライス回路30は、図1に示すように、シンクチップクランプ回路31、複合同期分離回路32、ライン検出回路33、ウィンドウパルス発生回路34、データスライス基準電圧検出回路35、基準電圧発生回路36、データスライスレベル発生回路37、およびコンパレータ38を有している。

【0025】

シンクチップクランプ回路31は、たとえば図示しないキャパシタで直流(DC)成分がカットされて入力されたビデオ信号であるVBI信号を、基準電圧発生回路36で発生された基準電圧Vcに基づいてシンクチップクランプし、複合同期分離回路32、データスライス基準電圧検出回路35、およびコンパレータ38に出力する。

【0026】

複合同期分離回路32は、基準電圧発生回路36で発生された基準電圧(スライスレベル)Vsに基づいて入力されたVBI信号から複合同期信号を分離するシンクスライス回路321と、シンクスライス回路321で分離されたと分離同期信号から水平同期信号SHを分離し、ライン検出回路33に出力する水平同期信号分離回路322と、シンクスライス回路321で分離されたと分離同期信号から垂直同期信号SVを分離し、ライン検出回路33に出力する垂直同期信号分離回路323とを有する。

【0027】

ライン検出回路 33 は、複合同期分離回路 32 の出力、具体的には、水平同期信号分離回路 322 により分離された水平同期信号 SH、および垂直同期信号分離回路 323 により分離された垂直同期信号 SV に基づいて、所望の CRI 信号を持つ VBI 信号が重畳されているラインであると検出（あるいは認識）した場合は検出したラインの期間のみ、出力ライン L331 にライン検出パルス PLC を生成して出力し、所望のリファレンス信号を持つ VBI 信号が重畳されているラインを検出（あるいは認識）した場合は検出したラインの期間のみ、出力ライン L332 にライン検出パルス PLR を生成して出力する。

ライン検出回路 33 は、生成したライン検出パルス PLC およびライン検出パルス PLR を、ウィンドウパルス発生回路 34、データスライス基準電圧検出回路 35、およびデータスライスレベル発生回路 37 に供給する。

【0028】

ウィンドウパルス発生回路 34 は、ライン検出回路 33 から出力されるライン検出パルス PLC、PLR に応じて、ラインに重畳される VBI 信号を平均化する期間を変化させたウィンドウパルス PCRI、PPED を生成しデータスライス基準電圧検出回路 35 に出力する。

【0029】

図 2 (A) ～ (E) に、入力される VBI 信号（映像信号）と、映像信号ライン検出回路 33 が生成するライン検出パルス PLC、PLR、およびウィンドウパルス発生回路 34 の生成するウィンドウパルス PCRI、PPED の出力タイミングを示す。

図 2 (A) ～ (E) において、(1) で示す列が VBI 信号が CRI 信号を持つ場合の波形を示し、(2) で示す列が VBI 信号が CRI 信号を持たず、リファレンス信号しかもたない場合の波形を示している。

【0030】

図 2 (A), (B), (C) に示すように、ライン検出回路 33 は検出したラインの複合同期信号の立ち上がりからラインの終了する複合同期信号の立下りまでの期間（たとえば、 $64 \mu s$ ）、ハイレベル“H”となるライン検出パルス PLC および PLR を出力する。

【 0 0 3 1 】

ウィンドウパルス発生回路 3 4 は、図 2 (A) , (B) , (D) に示すように、出力ライン L 3 3 1 を通して入力するライン検出パルス P L C がハイレベル” H ” の期間は C R I 信号の期間にハイレベル” H ” となるウィンドウパルス P C R I を出力する。

具体的には、ウィンドウパルス発生回路 3 4 は、たとえば出力ライン L 3 3 1 を通して入力するライン検出パルス P L C の立上がり時（入力時）から数 μ s 後に、たとえば 2 μ s 幅のウィンドウパルス P C R I を生成し出力する。

【 0 0 3 2 】

また、ウィンドウパルス発生回路 3 4 は、図 2 (A) , (C) , (E) に示すように、出力ライン L 3 3 2 を通して入力するライン検出パルス P L R がハイレベル” H ” の期間は、複合同期信号の立ち上がり直後のバックポーチの期間にハイレベル” H ” となるウィンドウパルス P P E D を出力する。

具体的には、ウィンドウパルス発生回路 3 4 は、たとえば出力ライン L 3 3 2 を通して入力するライン検出パルス P L R の立上がり時（入力時）から数 μ s 後に、たとえば 1 μ s 幅のウィンドウパルス P P E D を生成し出力する。

【 0 0 3 3 】

データスライス基準電圧検出回路 3 5 は、ウィンドウパルス発生回路 3 4 から出力されるウィンドウパルス P C R I または P P E D がハイレベル” H ” の期間のみ、シンクチップクランプ回路 3 1 でクランプされた V B I 信号の平均電圧をサンプルし、ホールドし、データスライス基準電圧 V D S V としてデータスライスレベル発生回路 3 7 に出力する。

【 0 0 3 4 】

図 3 は、データスライス基準電圧検出回路 3 5 の具体的な構成例を示す回路図である。

【 0 0 3 5 】

このデータスライス基準電圧検出回路 3 5 A は、図 3 に示すように、2 入力 O R 回路 3 5 0 1 , 3 5 0 2 、インバータ 3 5 0 3 、アナログスイッチ 3 5 0 4 、抵抗素子 R 3 5 およびキャパシタ C 3 5 を含むローパスフィルタ (L P F) 3 5

05、およびオペアンプ（OP-AMP）3506を有している。

アナログスイッチ3504は、pチャネルMOS（PMOS）トランジスタPT35とnチャネルMOS（NMOS）トランジスタNT35のソース・ドレイン同士を接続して構成されている。

【0036】

OR回路3501の2つの入力端子はそれぞれウィンドウパルスPCRI、PREDDの入力ラインに接続され、出力端子はアナログスイッチ3504のNMOSトランジスタNT35のゲートおよびインバータ3503の入力端子に接続されている。そして、インバータ3503の出力端子がアナログスイッチ3504のPMOSトランジスタPT35のゲートに接続されている。

OR回路3502の2つの入力端子はそれぞれライン検出パルスPLC、PLRの入力ラインに接続され、出力端子はオペアンプ3506の制御端子に接続されている。

【0037】

アナログスイッチ3504の一方の入出力端子がシンクチップクランプ回路31でクランプされたVBI信号の入力ラインに接続され、他方の入出力端子がローパスフィルタ3505の抵抗素子R35の一端に接続されてる。

抵抗素子R35の他端がキャパシタC35の一方の電極、およびオペアンプ3506の非反転入力端子（+）に接続され、キャパシタC35の他方の電極が接地されている。

また、オペアンプ3506の反転入力端子（-）は自身の出力端子が接続されている。

【0038】

このような構成を有するデータスライス基準電圧検出回路35Aでは、ライン検出回路33の出力パルスPLCまたPLRがハイレベル”H”で、かつウィンドウパルス発生回路34が出力したウィンドウパルスPCRIまたはPREDDがハイレベルの期間に、アナログスイッチ3504がオンして、クランプされたVBI信号が入力され、ローパスフィルタ3505によりVBI信号のDC成分のみが出力される。

ライン検出回路 33 の出力パルス PLC または PLR がハイレベル “H” で、かつウィンドウパルス PCRI または PED がローレベル “L” の期間は、アナログスイッチ 3504 がオフとなり、サンプリングされた電圧値はキャパシタ C35 によってホールドされ、オペアンプ 3506 によりバッファリングされる。この電圧がデータスライスレベル基準電圧 VDSV となる。

【0039】

図 4 は、データスライス基準電圧検出回路 35 の他の具体的な構成例を示す回路図である。

【0040】

このデータスライス基準電圧検出回路 35B は、図 4 に示すように、2 入力 OR 回路 3511、3512、ピークホールド回路 3513、ボトムホールド回路 3514、および多入力オペアンプ 3515 を有している。

【0041】

OR 回路 3511 の 2 つの入力端子はそれぞれウィンドウパルス PCRI、PED の入力ラインに接続され、その出力信号はピークホールド回路 3513 およびボトムホールド回路 3514 に供給される。

OR 回路 3512 の 2 つの入力端子はそれぞれライン検出パルス PLC、PLR の入力ラインに接続され、その出力信号はピークホールド回路 3513 およびボトムホールド回路 3514 に供給されるとともに、オペアンプ 3515 の制御端子に供給される。

また、ピークホールド回路 3513 およびボトムホールド回路 3414 には、シンクチップクランプ回路 31 でクランプされた VBI 信号が供給される。

【0042】

多入力オペアンプ 3515 は、第 1 非反転入力端子 + (INP0)、第 2 非反転入力端子 + (INP1)、並びに、第 1 反転入力端子 - (INN0)、第 2 反転入力端子 - (INN1) を有している。

第 1 非反転入力端子 + (INP0) がピークホールド回路 3513 の出力ラインに接続され、第 2 非反転入力端子 + (INP1) がボトムホールド回路 3514 の出力ラインに接続されている。

そして、第1反転入力端子- (INN0) および第2反転入力端子- (INN1) は、共通に自身の出力端子に接続されている。

【0043】

このような構成を有するデータスライス基準電圧検出回路35Bでは、ライン検出回路33の出力パルスPLCまたPLRがハイレベル”H”で、かつウィンドウパルス発生回路34が出力したウィンドウパルスPCRIまたはPPEDがハイレベルの期間は、ピークホールド回路3513が入力されたVBI信号の最大電圧値を検出し、ボトムホールド回路3514が入力されたVBI信号の最小電圧値を検出する。

ライン検出回路33の出力パルスPLCまたPLRがハイレベル”H”で、かつウィンドウパルスPCRIまたはPPEDがローレベル”L”の期間は、ピークホールド回路3513、ボトムホールド回路3514ともにサンプリングした電圧値をホールドし、それらの電圧値をオペアンプ3515により平均化した電圧がデータスライスレベル基準電圧VDSVとなる。

【0044】

したがって、データスライス基準電圧検出回路35は、サンプリングするVBI信号がCRI信号を持つ場合はCRI信号の平均電圧値を、サンプリングするVBI信号がリファレンス信号しか持たない場合は、ペDESTALレベルVpの電圧値を出力することになる。

【0045】

基準電圧発生回路36は、シンクチップクランプ用基準電圧Vcを生成してシンクチップクランプ回路31に供給し、シンクスライス用基準電圧(スライスレベル)V_sを生成して複合同期分離回路32のシンクスライス回路321に供給し、また、データスライス用の第1のDC電圧V_{ref0}および第2のDC電圧V_{ref1}を生成してデータスライスレベル発生回路37に出力する。

データスライスレベル発生回路37は、第1のDC電圧V_{ref0}の値を、ペDESTALレベルV_p、たとえば1.45Vより低い値、たとえば1.40Vに設定する。

また、データスライスレベル発生回路37は、第2のDC電圧V_{ref1}の値を、

ペDESTALレベル V_p 、たとえば1.45Vより高い値、たとえば1.50Vに設定する。

【0046】

データスライスレベル発生回路37は、基準電圧発生回路36により生成された第1のDC電圧 V_{ref0} および第2のDC電圧 V_{ref1} を受けて、データスライス基準電圧検出回路35から出力されるデータスライス基準電圧 V_{DSV} にライン検出回路33から出力されるライン検出パルス PLC 、 PLR に応じて変化させたDC電圧を加算する。

【0047】

図5は、データスライスレベル発生回路37の具体的な構成例を示す回路図である。

【0048】

このデータスライスレベル発生回路37Aは、図5に示すように、2入力OR回路3701、インバータ3702、3703、アナログスイッチ3704、3705、および多入力オペアンプ(OP-AMP)3706を有している。

アナログスイッチ3704は、PMOSトランジスタPT371とNMOSトランジスタNT371のソース・ドレイン同士を接続して構成されている。

同様に、アナログスイッチ3705は、PMOSトランジスタPT372とNMOSトランジスタNT372のソース・ドレイン同士を接続して構成されている。

多入力オペアンプ3706は、第1非反転入力端子+ ($INP0$)、第2非反転入力端子+ ($INP1$)、並びに、第1反転入力端子- ($INN0$)、第2反転入力端子- ($INN1$)を有しており、第1非反転入力端子+ ($INP0$)および第2非反転入力端子+ ($INP1$)に入力された電圧の合計と、第1反転入力端子- ($INN0$)および第2反転入力端子- ($INN1$)に入力された電圧の合計とが等しくなるように動作する。

【0049】

OR回路3701の2つの入力端子はそれぞれライン検出パルス PLC 、 PLR の入力ラインに接続され、出力端子はオペアンプ3706の制御端子に接続さ

れている。

インバータ 3 7 0 2 の入力端子はライン検出パルス P L C の入力ラインに接続され、出力端子がアナログスイッチ 3 7 0 4 の P M O S トランジスタ P T 3 7 1 のゲートに接続されている。また、アナログスイッチ 3 7 0 4 の N M O S トランジスタ N T 3 7 1 のゲートがライン検出パルス P L C の入力ラインに接続されている。

アナログスイッチ 3 7 0 4 の一方の入出力端子が第 1 の D C 電圧 V r e f 0 の供給ラインに接続され、他方の入出力端子がオペアンプ 3 7 0 6 の第 2 非反転入力端子 + (I N P 1) に接続されている。

【 0 0 5 0 】

インバータ 3 7 0 3 の入力端子はライン検出パルス P L R の入力ラインに接続され、出力端子がアナログスイッチ 3 7 0 5 の P M O S トランジスタ P T 3 7 2 のゲートに接続されている。また、アナログスイッチ 3 7 0 5 の N M O S トランジスタ N T 3 7 2 のゲートがライン検出パルス P L R の入力ラインに接続されている。

アナログスイッチ 3 7 0 5 の一方の入出力端子が第 2 の D C 電圧 V r e f 1 の供給ラインに接続され、他方の入出力端子がオペアンプ 3 7 0 6 の第 2 非反転入力端子 + (I N P 1) に接続されている。

【 0 0 5 1 】

また、オペアンプ 3 7 0 6 の第 1 非反転入力端子 + (I N P 0) がデータスライス基準電圧 V D S V の供給ラインに接続され、第 2 反転入力端子 - (I N N 1) が第 1 の D C 電圧 V r e f 0 の供給ラインに接続され、第 1 反転入力端子 - (I N N 0) は、共通に自身の出力端子に接続されている。

【 0 0 5 2 】

このような構成を有するデータスライスレベル発生回路 3 7 A は、データスライス基準電圧検出回路 3 5 の出力したデータスライス基準電圧 V D S V に対して、多入力オペアンプ 3 7 0 6 を用いて D C レベルを加算して出力する。

具体的には、ライン検出パルス P L C がハイレベル” H ” の期間はアナログスイッチ 3 7 0 4 がオンし、出力電圧には D C 電圧「 (V r e f 0 - V r e f 0) = 0 V 」

が加算されたことになる。

一方、ライン検出パルス P L R がハイレベル” H ” の期間にはアナログスイッチ 3705 がオンし、出力電圧には DC 電圧「 $(V_{ref1} - V_{ref0})$ 」が加算されたことになる。

【0053】

したがって、データスライスレベル発生回路 37 は、C R I 信号を持つ V B I 信号に対しては、C R I 信号を平均化した電圧値をデータスライスレベル V D S L としてコンパレータ 38 に出力する。

一方、データスライスレベル発生回路 37 は、リファレンス信号しか持たない V B I 信号に対しては、ペDESTAL レベル V_p に特定の DC 電圧 $(V_{ref1} - V_{ref0})$ を加算した電圧値をデータスライスレベル V D S L として出力する。

このとき、加算する DC 電圧にオペアンプ、コンパレータ等の回路のオフセット電圧をキャンセルする DC 電圧をあらかじめ加えておくことで、オペアンプ、コンパレータ等のオフセット電圧をキャンセルし、データをスライスする精度を高めることができる。本図では、アナログスイッチ 3704 を第 1 の DC 電圧 V_{ref0} の供給ラインに接続しているが、これを第 3 の電圧 V_{ref2} (たとえば) の供給ラインに接続し、 V_{ref2} を最適に設定することで、C R I 信号を平均化した電圧値に対しても、オペアンプ・コンパレータ等の回路のオフセット電圧をキャンセルする DC 電圧を加えることが可能である。

【0054】

コンパレータ 38 は、非反転入力端子 (+) に入力された V B I 信号が供給され、反転入力端子 (-) にデータスライスレベル V D S L が供給され、データスライスレベル発生回路 37 の出力電圧 V D S L と入力された V B I 信号とを比較することにより V B I 信号からデータを分離し、デジタル化したデータ D T を出力する。

【0055】

次に、上記構成による動作を、V B I 信号が C R I 信号を持つ場合と、C R I 信号を持たずリファレンス信号しか持たない場合に分けて、図 6 (A) ~ (H) および図 7 (A) ~ (H) のタイミングチャートに関連付けて説明する。

【 0 0 5 6 】

まず、VBI信号がCRI信号を持つ場合の動作を図6（A）～（H）に関連付けて説明する。

【 0 0 5 7 】

基準電圧発生回路36において、シンクチップクランプ用基準電圧 V_c が生成されシンクチップクランプ回路31に供給され、また、シンクスライス用基準電圧（スライスレベル） V_s が生成され複合同期分離回路32のシンクスライス回路321に供給される。また、基準電圧発生回路36において、図6（C）および（D）に示すように、データスライス用の第1のDC電圧 V_{ref0} および第2のDC電圧 V_{ref1} が生成されてデータスライスレベル発生回路37に供給される。

【 0 0 5 8 】

そして、図6（A）に示すように、シンクチップクランプ回路31において、たとえば図示しないキャパシタで直流（DC）成分がカットされて入力されたVBI信号が、基準電圧発生回路36で発生された基準電圧 V_c に基づいてシンクチップクランプ処理が施され、複合同期分離回路32、データスライス基準電圧検出回路35、およびコンパレータ38に出力される。

複合同期分離回路32では、基準電圧発生回路36で発生された基準電圧（スライスレベル） V_s に基づいて入力されたVBI信号から複合同期信号が分離され、さらに水平同期信号SHおよび垂直同期信号SVが分離されてライン検出回路33に出力される。

【 0 0 5 9 】

ライン検出回路33では、複合同期分離回路32の出力同期信号に基づいて、所望のCRI信号を持つVBI信号が重畳されているラインであると検出（あるいは認識）されると、検出したラインの期間のみ、図6（G）に示すようなライン検出パルスPLCが生成されて出力ラインL331に出力される。

出力ラインL331に出力されたライン検出パルスPLCは、ウィンドウパルス発生回路34、データスライス基準電圧検出回路35、およびデータスライスレベル発生回路37に供給される。

なお、ライン検出パルスPLCは、図6（A）および（G）に示すように、検

出したラインの複合同期信号の立ち上がりからラインの終了する複合同期信号の立下りまでの期間、ハイレベル”H”となる。

【0060】

ウィンドウパルス発生回路34では、ライン検出回路33から出力されるライン検出パルスPLCに応じて、ラインに重畳されるVBI信号を平均化する期間を変化させたウィンドウパルスPCRIが生成されて、データスライス基準電圧検出回路35に出力される。

ウィンドウパルスPCRIは、図6(A)および(H)に示すように、CRI信号の期間にハイレベル”H”となる。

【0061】

データスライス基準電圧検出回路35では、ウィンドウパルス発生回路34から出力されるウィンドウパルスPCRIがハイレベル”H”の期間のみ、シンクチップクランプ回路31でクランプされたVBI信号の平均電圧がサンプル、ホールドされ、データスライス基準電圧VDSVとしてデータスライスレベル発生回路37に出力される。

データスライス基準電圧検出回路35では、サンプリングするVBI信号がCRI信号を持つ場合は、図6(A)および(B)に示すように、CRI信号の平均電圧値がデータスライス基準電圧VDSVとして出力される。

【0062】

データスライスレベル発生回路37においては、基準電圧発生回路36により生成された第1のDC電圧Vref0および第2のDC電圧Vref1を受けて、データスライス基準電圧検出回路35から出力されるデータスライス基準電圧VDSVにライン検出回路33から出力されるライン検出パルスPLCに応じて変化させたDC電圧が加算され、データスライスレベルVDSLとしてコンパレータ48に出力される。

このとき、データスライスレベル発生回路37では、ライン検出パルスPLCがハイレベル”H”の期間に、出力電圧にはDC電圧「 $(V_{ref0} - V_{ref0}) = 0$ V」が加算されたことになる。

したがって、データスライスレベル発生回路37からは、CRI信号を持つV

B I 信号に対しては、C R I 信号を平均化した電圧値がデータスライスレベル V D S L としてコンパレータ 3 8 に出力される。

【0063】

コンパレータ 3 8 では、データスライスレベル発生回路 3 7 の出力電圧 V D S L と入力された V B I 信号とが比較され、これにより、V B I 信号からデータが分離し、デジタル化したデータ D T が出力される。

【0064】

次に、V B I 信号が C R I 信号を持たず、リファレンス信号のみを持つ場合の動作を図 7 (A) ~ (H) に関連付けて説明する。

【0065】

この場合も、基準電圧発生回路 3 6 において、シンクチップクランプ用基準電圧 V c が生成されシンクチップクランプ回路 3 1 に供給され、また、シンクスライス用基準電圧（スライスレベル）V s が生成され複合同期分離回路 3 2 のシンクスライス回路 3 2 1 に供給される。また、基準電圧発生回路 3 6 において、図 7 (C) および (D) に示すように、データスライス用の第 1 の D C 電圧 V r e f 0 および第 2 の D C 電圧 V r e f 1 が生成されてデータスライスレベル発生回路 3 7 に供給される。

【0066】

そして、図 7 (A) に示すように、シンクチップクランプ回路 3 1 において、たとえば図示しないキャパシタで直流 (D C) 成分がカットされて入力された V B I 信号が、基準電圧発生回路 3 6 で発生された基準電圧 V c に基づいてシンクチップクランプ処理が施され、複合同期分離回路 3 2、データスライス基準電圧検出回路 3 5、およびコンパレータ 3 8 に出力される。

複合同期分離回路 3 2 では、基準電圧発生回路 3 6 で発生された基準電圧（スライスレベル）V s に基づいて入力された V B I 信号から複合同期信号が分離され、さらに水平同期信号 S H および垂直同期信号 S V が分離されてライン検出回路 3 3 に出力される。

【0067】

ライン検出回路 3 3 では、複合同期分離回路 3 2 の出力同期信号に基づいて、

所望のリファレンス信号を持つ VBI 信号が重畳されているラインを検出（あるいは認識）されると、検出したラインの期間のみ、図 7（G）に示すようなライン検出パルス PLR が生成されて出力ライン L332 に出力される。

出力ライン L332 に出力されたライン検出パルス PLR は、ウィンドウパルス発生回路 34、データスライス基準電圧検出回路 35、およびデータスライスレベル発生回路 37 に供給される。

なお、ライン検出パルス PLR は、図 7（A）および（G）に示すように、検出したラインの複合同期信号の立ち上がりからラインの終了する複合同期信号の立下りまでの期間、ハイレベル”H”となる。

【0068】

ウィンドウパルス発生回路 34 では、ライン検出回路 33 から出力されるライン検出パルス PLR に応じて、ラインに重畳される VBI 信号を平均化する期間を変化させたウィンドウパルス PPED が生成されて、データスライス基準電圧検出回路 35 に出力される。

ウィンドウパルス PPED は、図 7（A）および（H）に示すように、複合同期信号の立ち上がり直後のバックポーチの期間にハイレベル”H”となる。

【0069】

データスライス基準電圧検出回路 35 では、ウィンドウパルス発生回路 34 から出力されるウィンドウパルス PPED がハイレベル”H”の期間のみ、シンクチップクランプ回路 31 でクランプされた VBI 信号の平均電圧がサンプル、ホールドされ、データスライス基準電圧 VDSV としてデータスライスレベル発生回路 37 に出力される。

データスライス基準電圧検出回路 35 では、サンプリングする VBI 信号がリファレンス信号しか持たない場合は、図 7（A）および（B）に示すように、ペダスタルレベル Vp の電圧値がデータスライス基準電圧 VDSV として出力される。

【0070】

データスライスレベル発生回路 37 においては、基準電圧発生回路 36 により生成された第 1 の DC 電圧 Vref0 および第 2 の DC 電圧 Vref1 を受けて、データ

スライス基準電圧検出回路 3 5 から出力されるデータスライス基準電圧 $VDSV$ にライン検出回路 3 3 から出力されるライン検出パルス PLR に応じて変化させた DC 電圧が加算され、データスライスレベル $VDSL$ としてコンパレータ 4 8 に出力される。

このとき、データスライスレベル発生回路 3 7 では、ライン検出パルス PLR がハイレベル "H" の期間に、出力電圧には DC 電圧「 $(Vref1 - Vref0)$ 」が加算されたことになる。

したがって、データスライスレベル発生回路 3 7 からは、リファレンス信号しか持たない VBI 信号に対しては、ペDESTAL レベル Vp に特定の DC 電圧 ($Vref1 - Vref0$) を加算した電圧値がデータスライスレベル $VDSL$ としてコンパレータ 3 8 に出力される。

【 0 0 7 1 】

コンパレータ 3 8 では、データスライスレベル発生回路 3 7 の出力電圧 $VDSL$ と入力された VBI 信号とが比較され、これにより、 VBI 信号からデータが分離し、デジタル化したデータ DT が出力される。

【 0 0 7 2 】

以上説明したように、本実施形態によれば、DC カットされて入力された映像信号をシンクチップクランプするシンクチップクランプ回路 3 1 と、映像信号から複合同期信号を分離する複合同期分離回路 3 2 と、複合同期分離回路 3 2 の出力から所望の CRI 信号を持つ VBI 信号が重畳されているラインを検出した場合は検出したラインの期間のみライン検出パルス PLC を出力し、所望のリファレンス信号を持つ VBI 信号が重畳されているラインを検出した場合は検出したラインの期間のみライン検出パルス PLR を出力するライン検出回路 3 3 と、ライン検出回路の出力検出パルス PLC , PLR に応じて、ラインに重畳される VBI 信号を平均化する期間を変化させたパルス $PCRI$, $PPED$ を出力するウィンドウパルス発生回路 3 4 と、ウィンドウパルス発生回路 3 4 の出力 PCR または $PPED$ が "H" の期間のみ、シンクチップクランプ回路 3 1 でクランプされた VBI 信号の平均電圧をサンプルし、ホールドするデータスライス基準電圧検出回路 3 5 と、データスライス基準電圧検出回路 3 5 の出力電圧にライン検出

パルス P L C , P L R に応じて変化させた D C 電圧を加算するデータスライスレベル発生回路 37 と、データスライスレベル発生回路 37 の出力電圧と入力された V B I 信号とを比較することにより V B I 信号からデータを分離し、デジタル化したデータを出力するコンパレータ 38 とを設けたので、データのスライスを行いたい V B I 信号の規格に応じて、信号の平均電圧値をサンプリングする期間を可変にし、サンプリングした平均電圧に加算する D C 電圧値も可変にすることで、規格の異なるほとんどの V B I 信号に対して、最適な方法で、最適なデータスライスレベルを発生し、データの分離を行うことが可能となる利点がある。

【0073】

すなわち、C R I 信号を持つ V B I 信号に対してでも、リファレンス信号しか持たない V B I 信号に対してでも、最適な方法で最適なデータスライスレベルを生成し、データの分離／デジタル化を行うことができるので、本発明に係るデータスライス回路ひとつで、ほとんどの規格の V B I 信号から精度良くデータをスライスすることができる。

また、V B I 信号から検出したスライスレベルの基準となる D C 電圧値に対して、D C 電圧を加算することでスライスレベルを生成するので、加算する D C 電圧値にオペアンプ、コンパレータのオフセット電圧をキャンセルする D C 電圧を加えることで、オペアンプ、コンパレータ等の回路のオフセット電圧をキャンセルすることができる。その結果、高精度にデータの分離が行えるだけでなく、回路のオフセットが原因となる I C の不良率を低減することができる。

このように、データのスライスを行いたい V B I 信号の規格に応じて、信号の平均電圧値をサンプリングする期間を可変にし、サンプリングした平均電圧に加算する D C 電圧値も可変にすることで、規格の異なる複数の V B I 信号に対しても最適なデータスライスレベルを発生し、データの分離を行うことが可能である。

【0074】

なお、データスライスレベル発生回路において、シンクチップレベルとサンプリングした平均電圧値との差の電圧値に対して積算を行い、かつ、検出されたラインに応じて積算する倍数値を可変にする回路に置き換えても同様の効果を現出

させることができる。

【 0 0 7 5 】

【発明の効果】

以上説明したように、本発明によれば、規格の異なる V B I 信号等に対して最適な方法で、最適なデータスライスレベルを生成し、データの分離／デジタル化を行うことができる。

したがって、本発明に係るデータスライス回路ひとつで、ほとんどの規格の V B I 信号から精度良くデータをスライスすることができる。

【図面の簡単な説明】

【図 1】

本発明に係るデータスライス回路の一実施形態を示すブロック図である。

【図 2】

本発明に係るライン検出回路およびウィンドウパルス発生回路の出力波形を示す図である。

【図 3】

本発明に係るデータスライス基準電圧検出回路の具体的な構成例を示す回路図である。

【図 4】

本発明に係るデータスライス基準電圧検出回路の具体的な他の構成例を示す回路図である。

【図 5】

本発明に係るデータスライスレベル発生回路の具体的な構成例を示す回路図である。

【図 6】

V B I 信号が C R I 信号を持つ場合の図 1 の回路の各部の出力波形を示す図である。

【図 7】

V B I 信号が C R I 信号を持たない場合の図 1 の回路の各部の出力波形を示す図である。

【図 8】

C R I 信号を持つ V B I 信号のデータの分離を行う従来のデータスライス回路を示す回路図である。

【図 9】

リファレンス信号しか持たない V B I 信号のデータの分離を行う従来のデータスライス回路を示す回路図である。

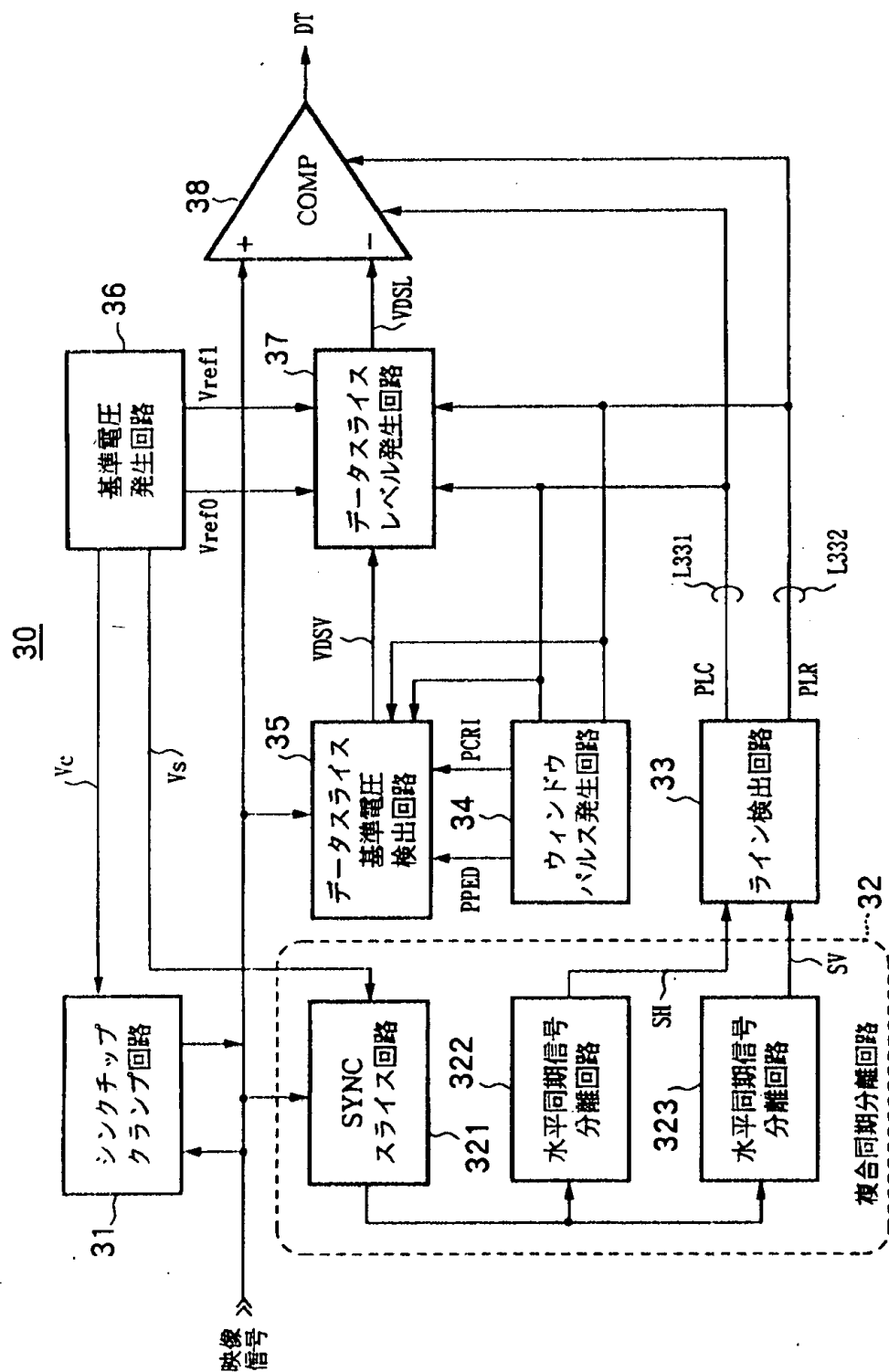
【符号の説明】

3 0 …データスライス回路、3 1 …シンクチップクランプ回路、3 2 …複合同期分離回路、3 3 …ライン検出回路、3 4 …ウィンドウパルス発生回路、3 5, 3 5 A, 3 5 B …データスライス基準電圧検出回路、3 5 0 1, 3 5 0 2 …2 入力 O R 回路、3 5 0 3 …インバータ、3 5 0 4 …アナログスイッチ、3 5 0 5 …ローパスフィルタ (L P F)、3 5 0 6 …オペアンプ (O P - A M P)、3 5 1 1, 3 5 1 2 …2 入力 O R 回路、3 5 1 3 …ピークホールド回路、3 5 1 4 …ボトムホールド回路、3 5 1 5 …多入力オペアンプ、3 6 …基準電圧発生回路、3 7, 3 7 A …データスライスレベル発生回路、3 7 0 1 …2 入力 O R 回路、3 7 0 2, 3 7 0 3 …インバータ、3 7 0 4, 3 7 0 5 …アナログスイッチ、3 7 0 6 …多入力オペアンプ (O P - A M P)、3 8 …コンパレータ。

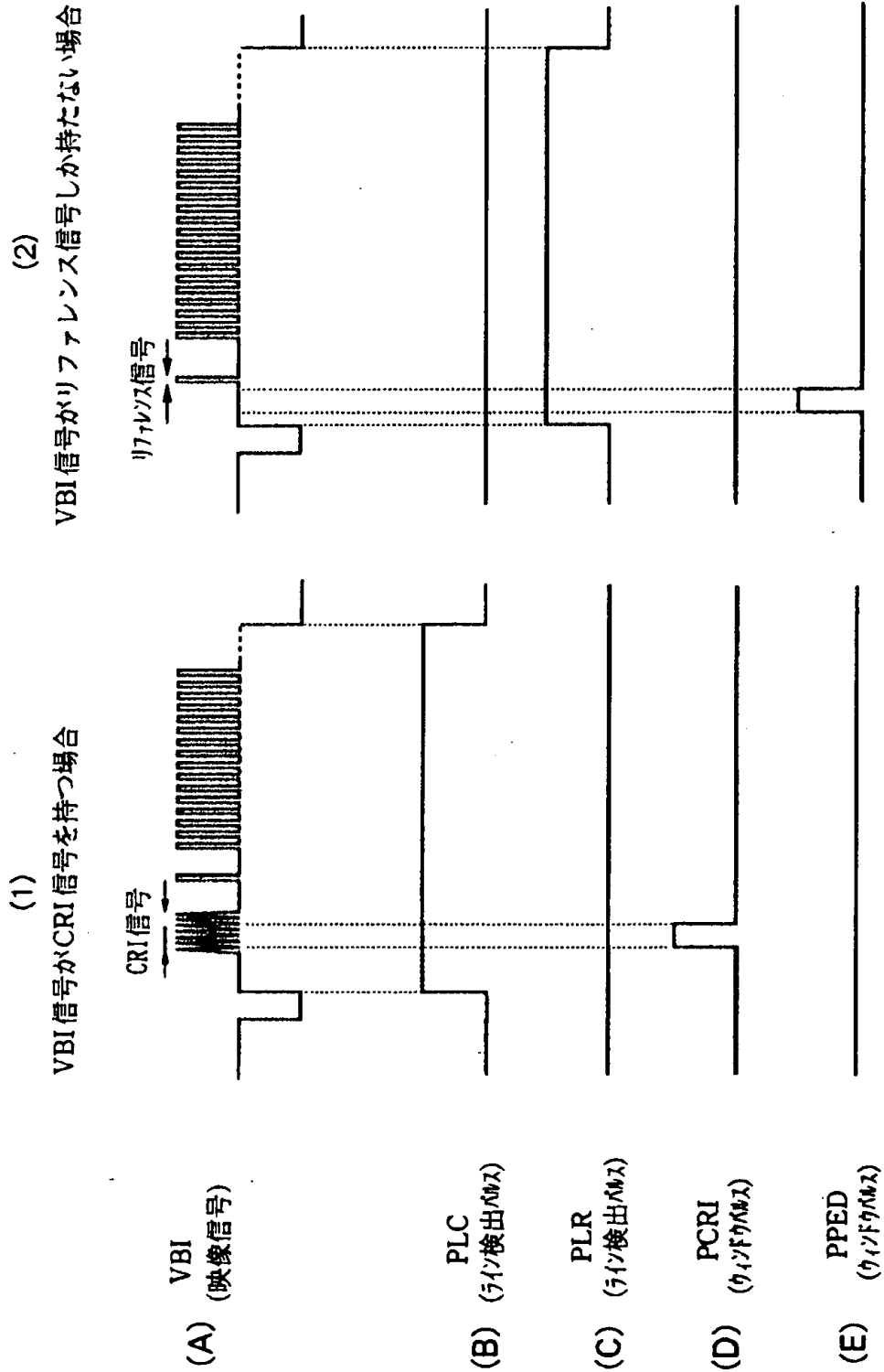
【書類名】

図面

【図 1】

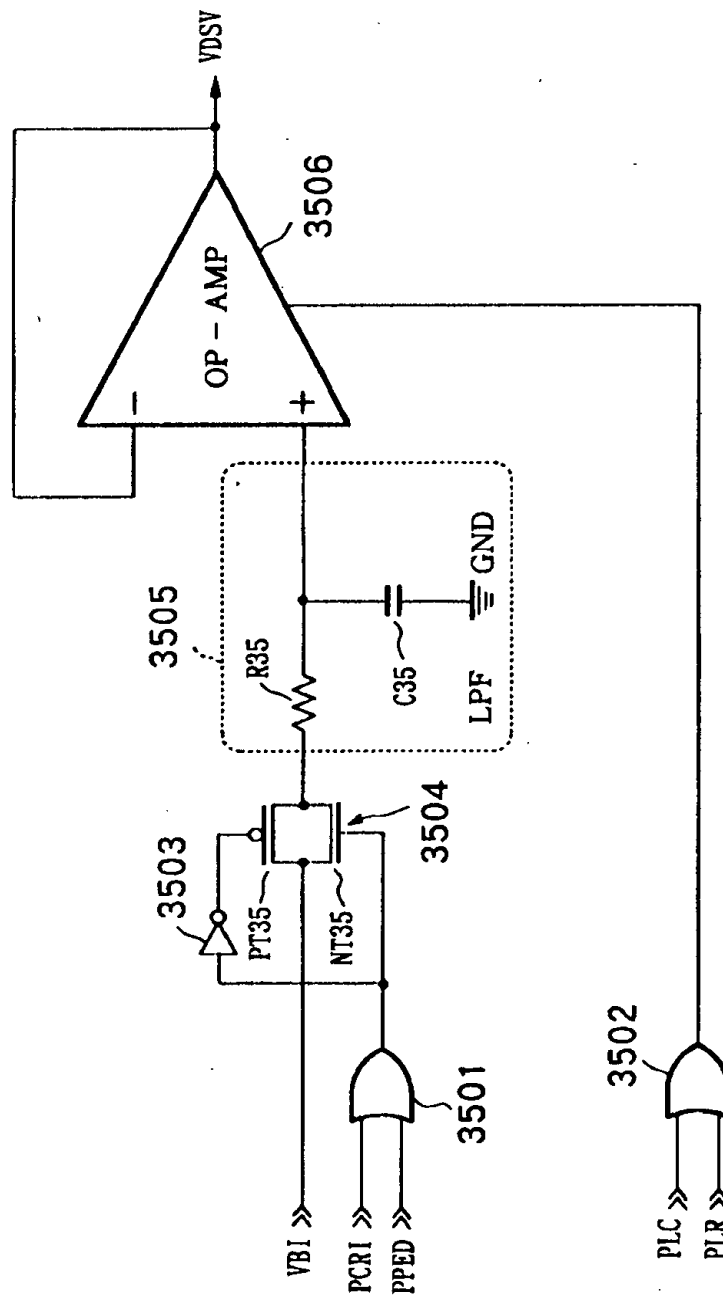


【図 2】

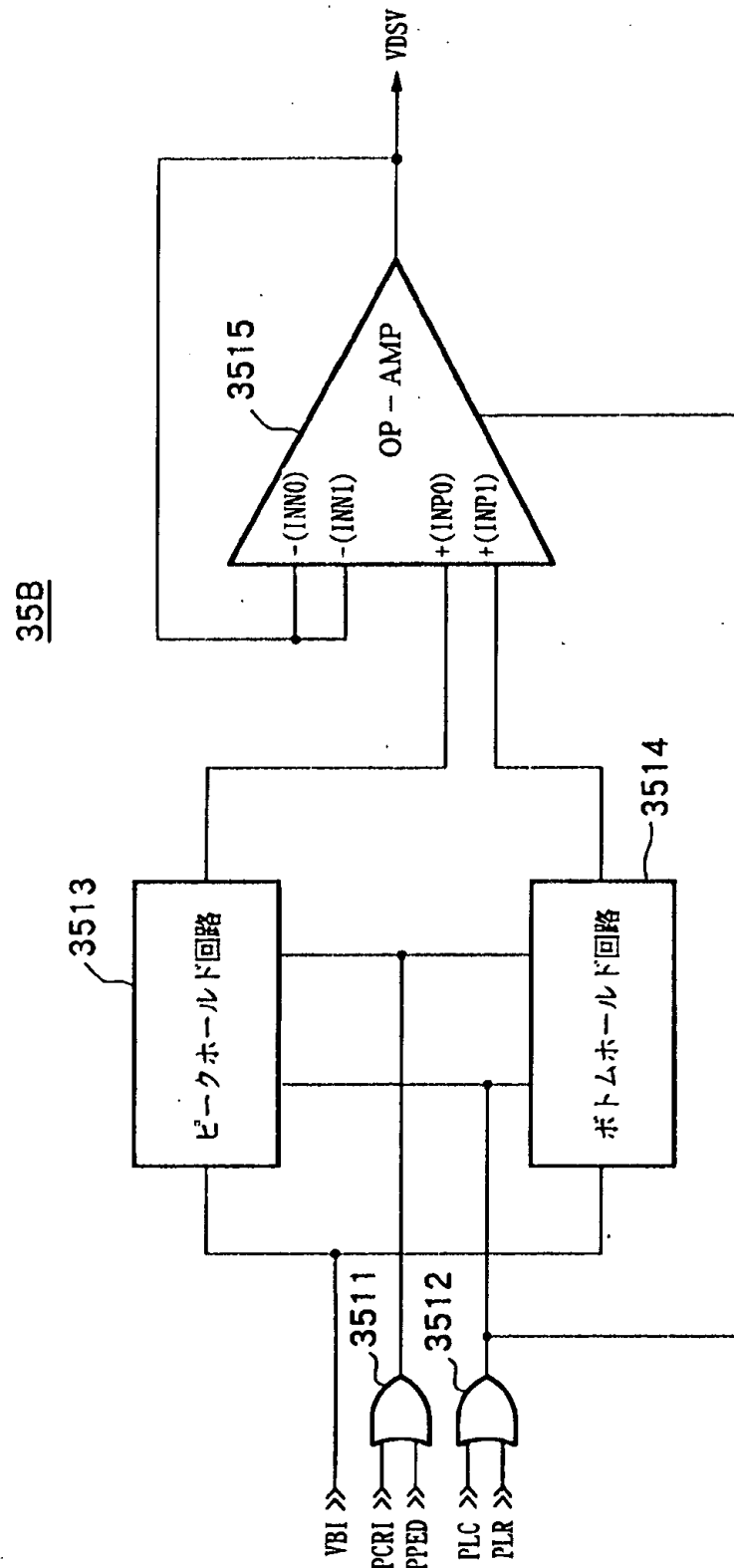


【図 3】

35A

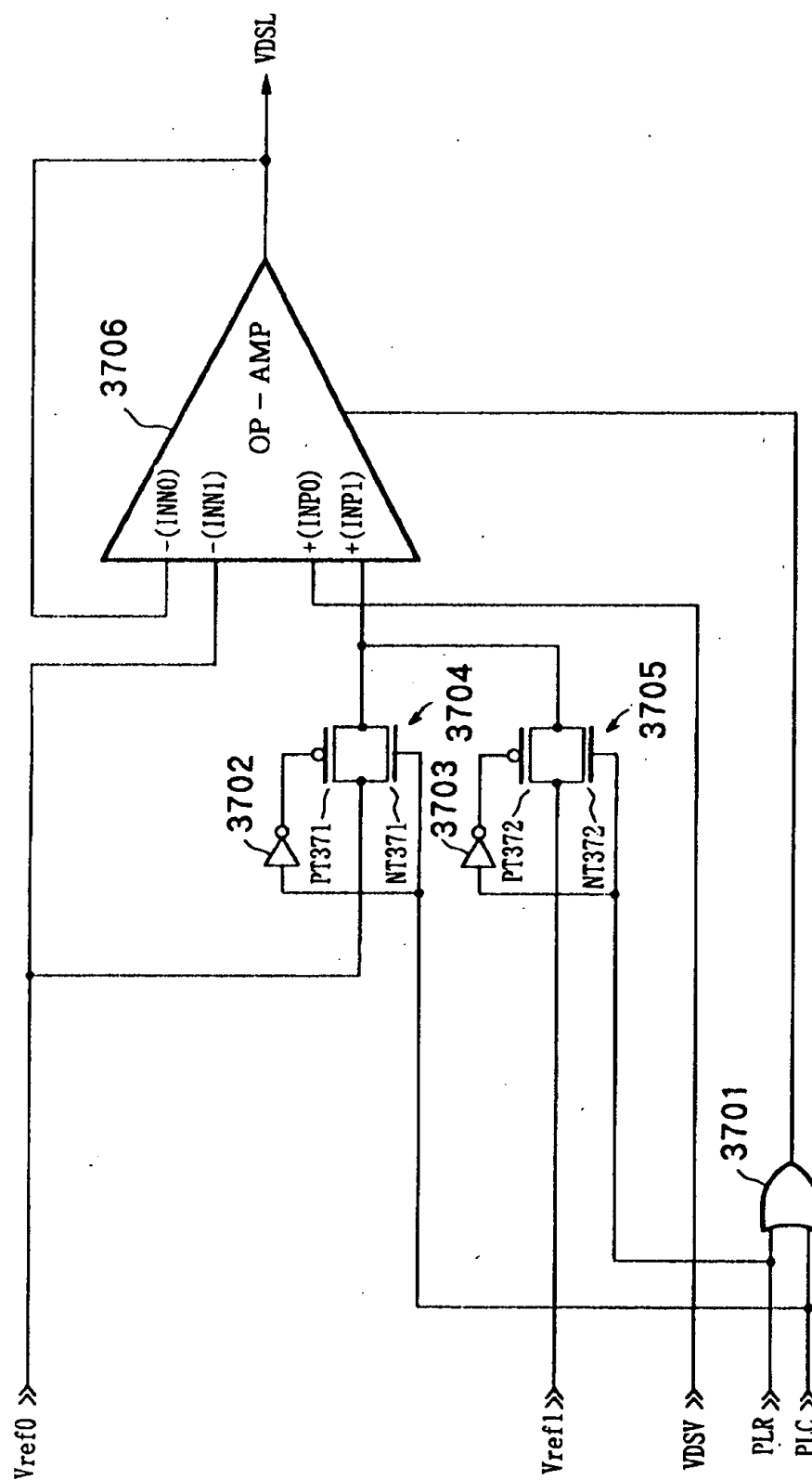


【図4】

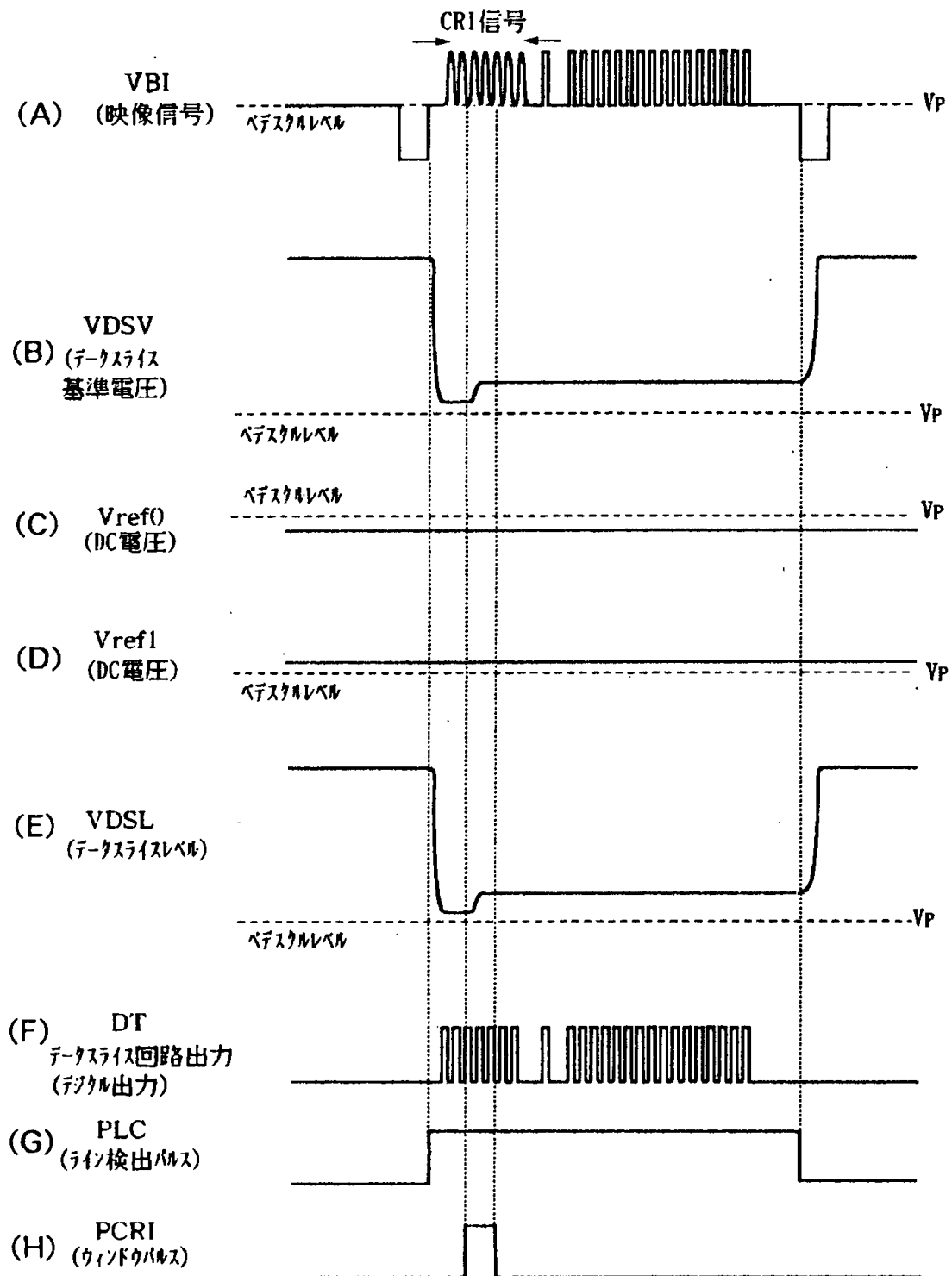


【図 5】

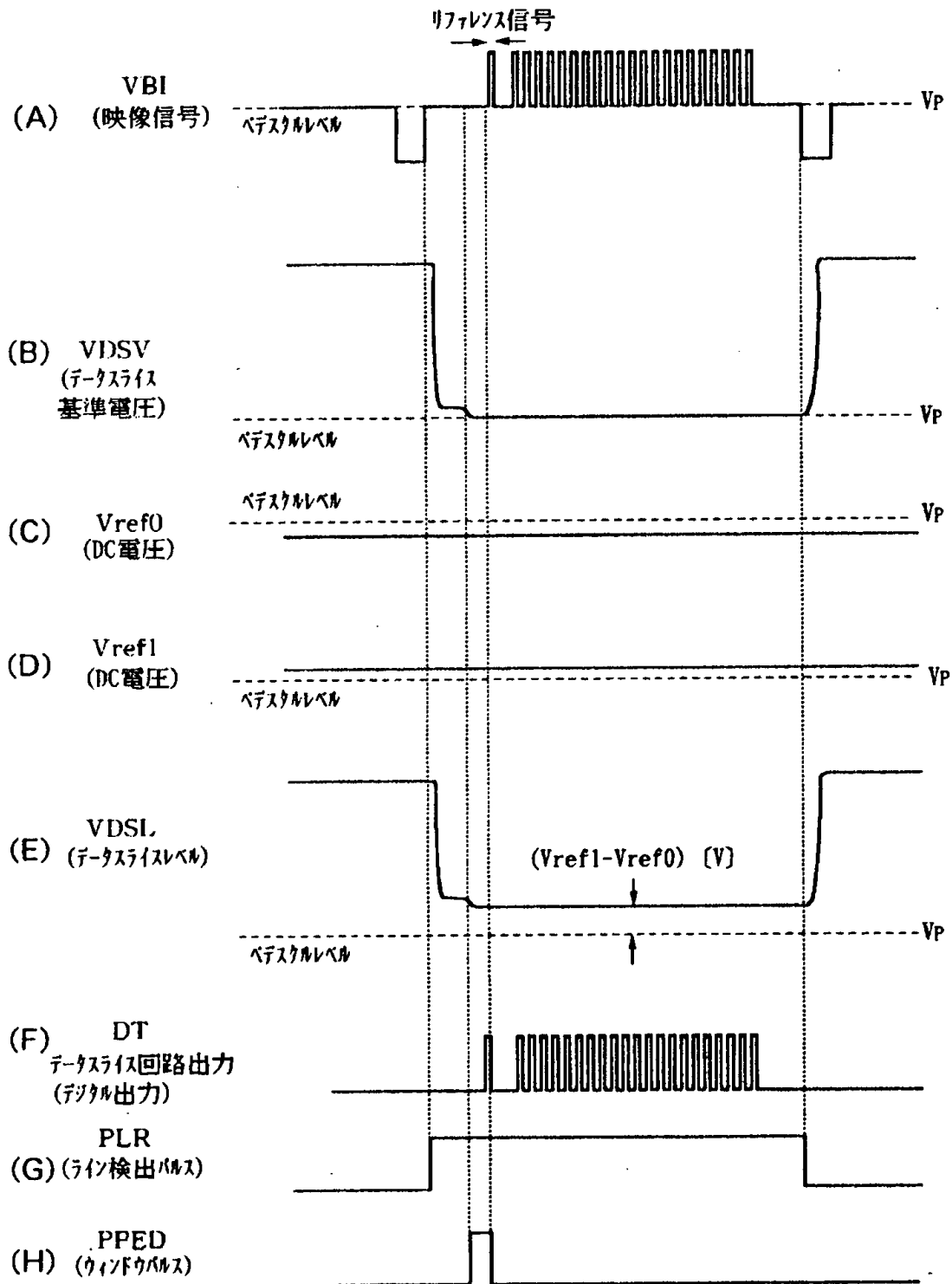
37A



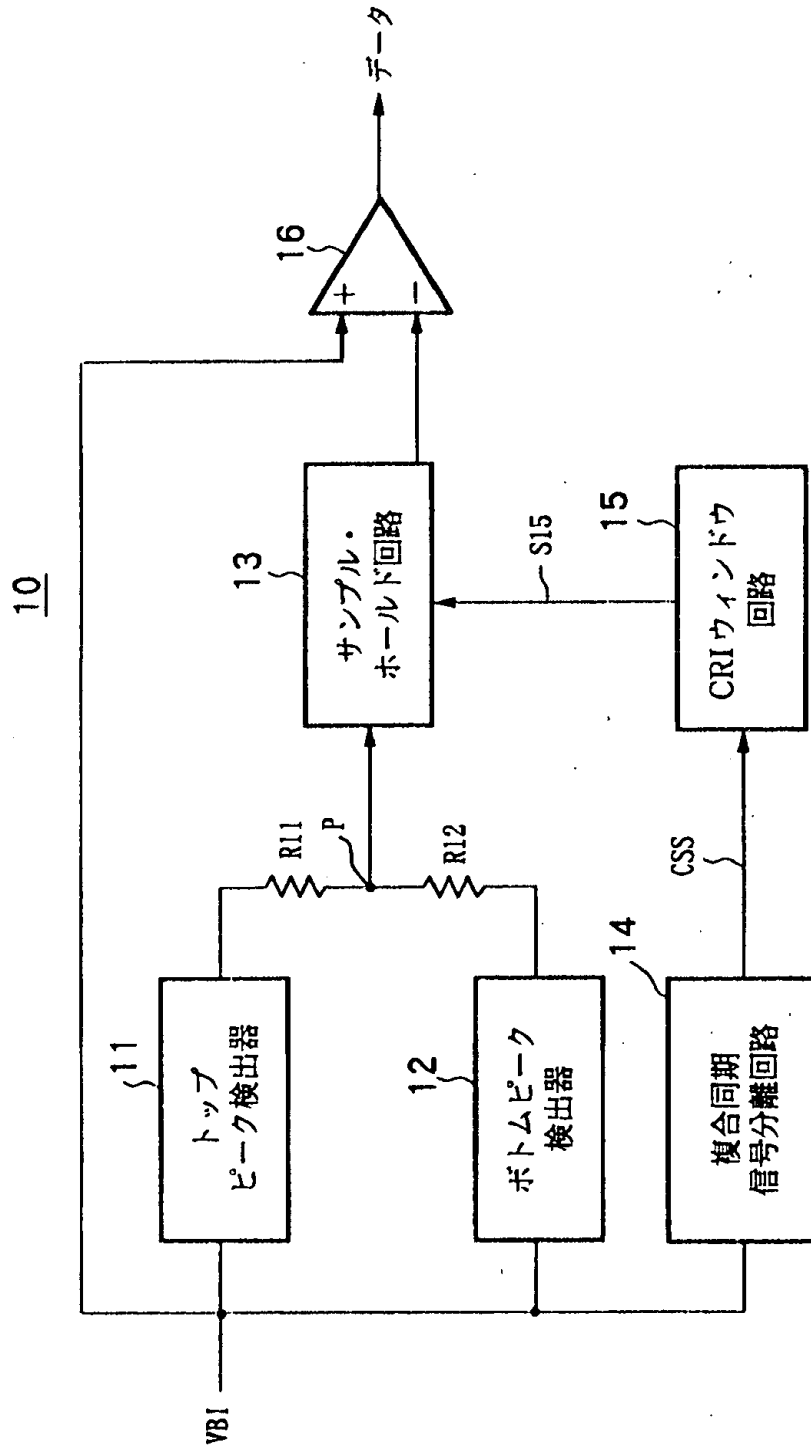
【図 6】



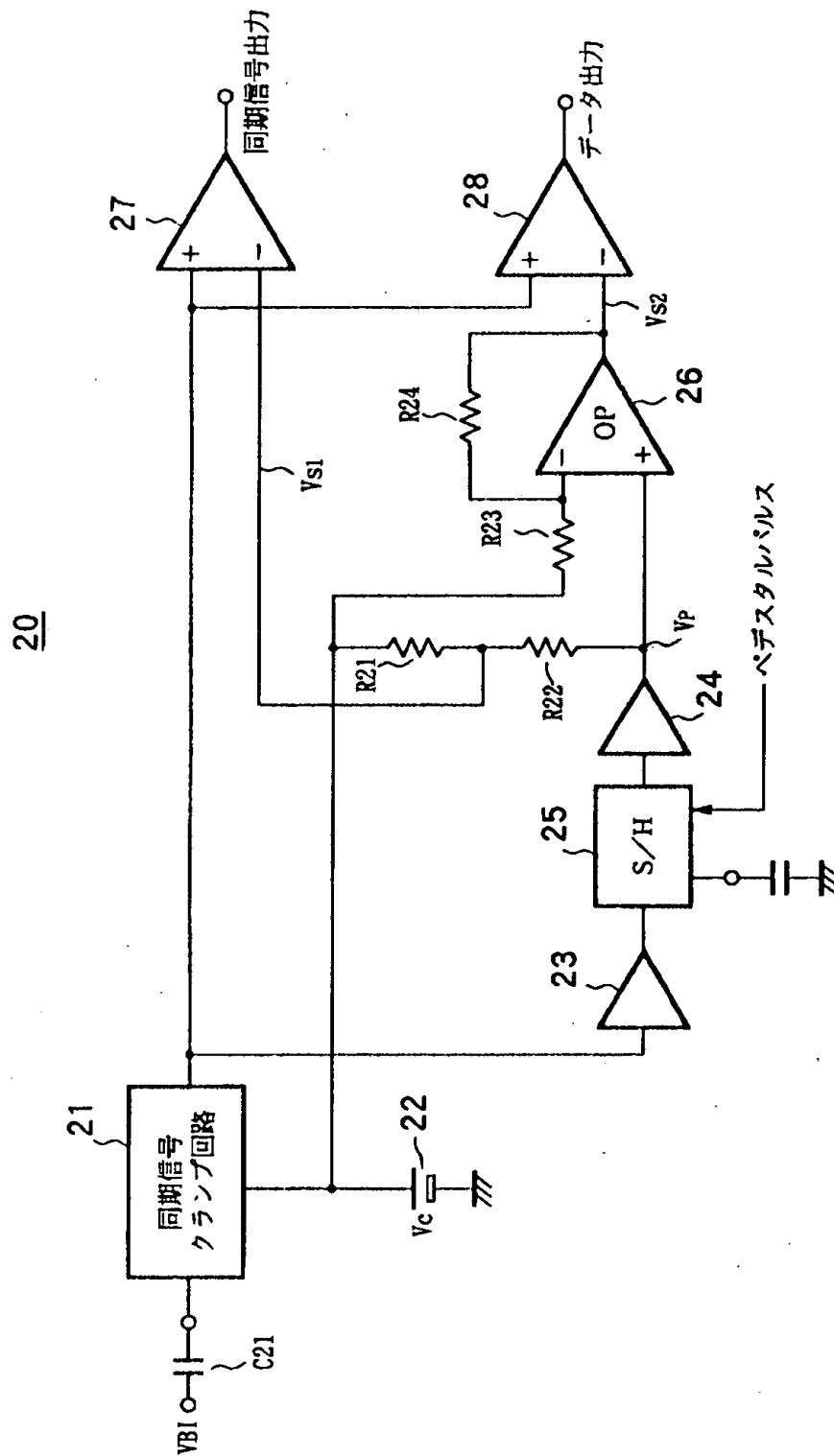
【図 7】



【図8】



【図 9】



【書類名】 要約書

【要約】

【課題】規格が異なるVBI信号に対して最適なデータスライスレベルを生成し、データの分離を行うことができるデータスライス回路を提供する。

【解決手段】CRI信号を持つVBI信号が重畳されたラインを検出した場合はその期間のみライン検出パルスPLCを出力し、リファレンス信号を持つVBI信号が重畳されたラインを検出した場合はその期間のみライン検出パルスPLRを出力するライン検出回路33と、検出パルスPLC、PLRに応じてVBI信号を平均化する期間を変化させたパルスPCRI、PPEDを出力するウィンドウパルス発生回路34と、出力パルスPCR、PPEDが”H”の期間のみクランプされたVBI信号の平均電圧をサンプルしホールドするデータスライス基準電圧検出回路35と、この出力電圧に検出パルスPLC、PLRに応じて変化させたDC電圧を加算するデータスライスレベル発生回路37とを設ける。

【選択図】 図1

特2001-069215

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社